

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-137653

(43)Date of publication of application : 12.05.1992

(51)Int.Cl.

H01L 21/82
G06F 15/60

(21)Application number : 02-259052

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 28.09.1990

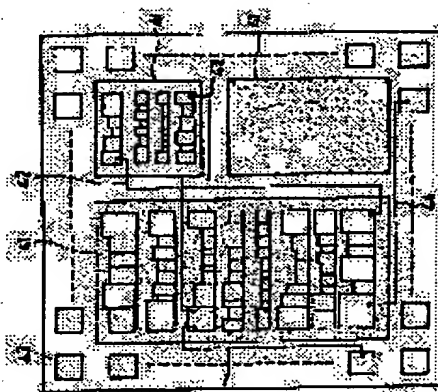
(72)Inventor : KAWAHISA KATSUE
SASAKI TADAHIRO
KAMEYAMA ATSUSHI

(54) DESIGNING METHOD FOR SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To enhance an integration, a speed and to reduce power consumption while shortening a period from a logical design to the end of a layout design by designing and verifying by a logic simulation with a delay using real wiring capacity until a delay time falls within a predetermined range.

CONSTITUTION: A logical design is initially executed, verified by a logical simulation with a delay using a virtual wiring capacity, and designed in a layout by an automatic disposition wiring. If there is a signal line which does not fall within a range set by a delay time due to the capacity of an external load, it is replaced with a cell having a different driving current, and a signal delay is fallen in a set range. A design by a logical simulation with a delay using a real wiring capacity is verified, and if an error is detected, the set range of the delay time due to an external load capacity is altered or the set value of a fan-out capacity is varied, the fan-out capacity is again checked, then an automatic disposition wiring layout is performed, repeated until a desired result is obtained, and the length of a signal wiring 42 for connecting between logic blocks 41 can be shortened.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平4-137653

⑬ Int.Cl.⁹

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)5月12日

H 01 L 21/82
G 06 F 15/60

3 6 0 A

7922-5L
7638-4M

H 01 L 21/82

C

審査請求 未請求 請求項の数 2 (全5頁)

⑮ 発明の名称 半導体集積回路の設計方法

⑯ 特 願 平2-259052

⑰ 出 願 平2(1990)9月28日

⑱ 発 明 者 川 久 克 江 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

⑱ 発 明 者 佐 々 木 忠 寛 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

⑱ 発 明 者 亀 山 敦 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

⑲ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑳ 代 理 人 弁 理 士 鈴 江 武 彦 外3名

明 細 書

1. 発明の名称

半導体集積回路の設計方法

2. 特許請求の範囲

(1) 標準セルを用いた半導体集積回路の設計方法において、

論理設計するステップと、

前記論理設計の後に配置配線するステップと、

前記配置配線の結果から各信号線の遅延時間を求め、前記各信号線の遅延時間を全て所定の時間以内に収めるべく論理設計又は配置配線の修正を行うステップと、

前記各信号線の遅延時間が全て所定の時間以内に収まる配置配線が決定された後、実配線容量を用いた遅延付き論理シミュレーションによる設計検証を行うステップと、

を有することを特徴とする半導体集積回路の設計方法。

(2) 前記配置配線の結果から前記各信号線の遅延時間が所定の時間以内に収まらない信号線が見

つかった場合、前記信号線を出力段に有するセルをこのセルと機能が同じで駆動能力が異なるセルに置換し、前記各信号線の遅延時間が全て所定の時間以内に収めるべく論理設計又は配置配線の修正を行うことを特徴とする請求項1に記載の半導体集積回路の設計方法。

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

本発明は半導体集積回路の設計方法に係り、特にスタンダーセル方式を用いた自動設計方法に関する。

(従来の技術)

近年、汎用品等の大量生産主体の集積回路の他に、ユーザーからの要求に応じて設計されるセミカスタム方式の集積回路、いわゆるASICの要求が高くなっている。スタンダードセル方式やゲートアレイ方式は、ASICの設計・製造に用いられる代表的な手法である。なかでもスタンダードセル方式はゲートアレイ方式に対してセル使

用率が高く、しかも未使用の配線トラックがない等の利点を持つ。

第4図にはスタンダードセル方式を用いた半導体集積回路の自動設計方法に関するフローチャートが示されている。

最初、論理設計を行い(ステップS1)、次にファンイン、ファンアウト数及び仮配線容量から仮想外部負荷容量を見積もり(ステップS2)、この仮配線容量による遅延付き論理シミュレーションを行い(ステップS3)、論理の誤り、タイミングの誤り等があるか設計の検証を行う。(ステップS4)。

誤りが検出されたら不良箇所を検討し(ステップS10)、論理設計(ステップS1)に飛び、誤りがなくなるまで上述したステップ(S1~S4, S10)を繰り返す。

仮配線容量による遅延付き論理シミュレーション(ステップS3)で誤りが検出されなければステップS5に飛び、自動配置配線によるレイアウト設計を行う。次にレイアウトの結果から各信

論理設計にもどって設計をやり直さなければならない(S1~S12)。その結果、論理設計からレイアウト設計終了までの期間、すなわち設計TAT(Turn And Time)が長くなるという問題あった。

仮配線容量と実配線容量との不一致による論理設計のやり直しは、特にGaAs集積回路を設計する場合に生じやすい。それはGaAs集積回路の負荷駆動能力はSi集積回路のそれより小さいので、信号遅延は配線容量、すなわち配線長に依存する割合が高くなるからである。つまり、同じ配線長でもGaAs集積回路の方がSi集積回路よりも信号の遅延時間が長くなり、信号のタイミングずれが大きくなって正常な回路動作をしなくなる率が高くなるからである。また、スタンダードセル方式の中でも、階層的なレイアウトを持つものでは、論理ブロック間の配線長が長くなる傾向があり、仮配線容量の見積もり違いがタイミングエラーを起こしやすいという問題があった。

(発明が解決しようとする課題)

号線の実配線負荷容量を読み取り(ステップS6)、この実配線容量による遅延付き論理シミュレーションを行い(ステップS7)、論理の誤り、タイミング等の誤りがないか検証を行う(ステップS8)。

誤りがなければステップS9に飛び、レイアウト設計が終了する。もし誤りがあれば不良箇所を検討し(ステップS12)、論理設計(ステップS1)に飛び、誤りがなくなるまで上述したステップ(S1~S12)を繰り返す。

遅延付き論理シミュレーションは、配線容量による遅延時間を考慮して行うが、配線容量は実際にレイアウトしてみないと値が定まらないため、最初にシステム設計する場合には上述の如く仮配線容量を用いて行う。この場合、自動配置配線によりレイアウト設計を行った(ステップS5)後に、実際の配線容量と仮配線容量が一致すれば問題ないが、大規模ASICではしばしば大きな不一致が生じる。従ってシミュレーションで所望の回路動作が実現されなかった場合には、最初の

これまでスタンダードセル方式を用いた集積回路の設計は、その集積度がさほど高くなかったので仮配線容量と実配線容量とが大きく異なることはなかった。したがって信号遅延が回路の電気的特性に大きい影響を及ぼすことはなかった。しかしながら最近、大規模なシステムを集積化することが増え、しばしば実配線容量と仮配線容量とに大きな不一致が生じようになった。その結果、設計検証で誤りが検出され、論理設計に戻り設計を再検討する必要性が生じ、設計・開発に多大の時間にかかるという問題があった。

本発明は、上記事情を考慮してなされたもので、その目的とするところは、論理設計からレイアウト設計終了までの期間を短縮しながらより高集積で高速、低消費電力の半導体集積回路の設計方法を提供することにある。

[発明の構成]

(課題を解決するための手段)

上記の目的を達成するために、本発明は、標準セルを用いた半導体集積回路の設計方法におい

て、論理設計するステップと、前記論理設計の後
に配置配線するステップと、前記配置配線の結果
から各信号線の遅延時間を求め、前記各信号線の
遅延時間を全て所定の時間以内に収めるべく論理
設計又は自動配置配線をやり直すステップと、前
記各信号線の遅延時間が全て所定の時間以内に収
まる配置配線が決定された後、実配線容量による
遅延付き論理シミュレーションによる設計検証を
行うステップとを有するステップで半導体集積回
路を設計することを特徴とする

(作用)

本発明によれば、全ての信号線についてその
遅延時間が所定範囲内に収まるまで論理設計又は
配置配線の修正を行うので、実配線容量と仮想配
線容量との差が大きい場合でも、実配線容量を用
いた遅延付き論理シミュレーションによる設計検
証に合格しやすくなる。その結果、この設計検証
の段階で誤りが検出された時に論理設計に戻り、
不良箇所を検討しそのセルを交換するという時間
がかかるステップを行う率が低くなるので設計

ィアウト設計の結果から各信号線の外部負荷の容
量を読み取る(ステップS24)。ここで外部負
荷の容量は、次段のセルとの接続に用いた配線容
量とファンアウト容量の和として求める。

次に各信号線の外部負荷容量による遅延時間を
式(1)より求める(ステップS25)。

(外部負荷の容量による遅延時間)

$$= \alpha (\text{外部負荷の容量}) / (\text{セルの駆動電流}) \quad \dots (1)$$

なお、 α は比例定数である。

次に全ての信号線について、外部負荷の容量に
よる遅延時間が設定した範囲内にあるかどうかを
判断する(ステップS26)。

遅延時間が設定した範囲内にない信号線があっ
た場合には、その信号線のセルを、セルライブラ
リの中からその信号線のセルと機能は同じである
が出力段の駆動電流が異なるセルと置き換え、信
号遅延を設定した範囲に収める(ステップS27、
S28)。セルの選定は、例えば、外部負荷容量
と駆動電流との関係が第2図に示される直線a、

TATの短縮化が図れる。また、遅延時間が所定
範囲にない信号線が検出され場合、この信号線を
出力段に有するセルをこのセルと機能が同じで駆
動能力が異なるセルに置換することにより容易に
設計修正することができる。また、外部負荷容量
に対し、最適な駆動能力を持つセルを選定できる
のでより高集積で高速、低消費電力の集積回路を
実現することができる。

(実施例)

以下、図面を参照しながら実施例を説明する。

第1図には本発明の一実施例に係る半導体論理
集積回路の自動設計方法に関するフローチャート
が示されている。

最初に論理設計(ステップS1)を行い、仮想
配線容量を用いた遅延付き論理シミュレーション
による設計検証(ステップS3、S4)を行う。
誤りが検出されなくなるまでステップS2、S3、
S4、S10、S1を繰り返す。この設計検証で
問題がなければステップS23に飛び、自動配置
配線によるレイアウト設計を行う。そしてこのレ

bで表される場合、直線a、bのそれぞれの傾き
 $\tan a$ 、 $\tan b$ は遅延時間を意味しているので、
外部負荷容量がC。で、遅延時間の設定が $\tan a$
~ $\tan b$ の時には、駆動電流が $I_a \sim I_b$ である
セルをセルライブラリの中から選べば良い。

駆動電流の異なるセルに置き換えるとセルサイ
ズ、トランジスタサイズが変化するので配線容量、
ファンアウト容量も変化する。そこでレイアウト
設計を最適化するために各セルについてファンア
ウト容量が設定した値を超えているかどうかを判
断し(ステップS22)、各セルの外部負荷容量
よる遅延時間が設定した範囲内になるように回路
修正(ステップS21)を行いステップS21~
S28を繰り返す。

遅延時間が設定した範囲内にある場合には、ス
テップS29に進み実配線容量を用いた遅延付き
論理シミュレーションによる設計検証を行う。

誤りが検出されなければレイアウト設計を終了
する(ステップS32)が、誤りが検出された場
合にはステップS30に飛び、外部負荷容量によ

る遅延時間の設定範囲を変えるか、ステップS31に進みファンアウト容量の設定値を変えてもう一度ファンアウト容量のチェック(ステップS22)を行い、この後自動配置配線レイアウト(S23)を行い、所望の結果が得られるまでステップS21～S31を繰り返し、レイアウト設計が終了する(ステップS32)。

本発明者等は約3KゲートのGaAs論理集積回路の設計を従来の方法と本実施例の方法とで行って比較してみた。その結果、従来の方法では設計に約4ヵ月間かかった。これに対して本実施例の方法では設計期間を約2ヵ月間に短縮することができた。また、消費電力を比較してみたところ本実施例の方法で設計されたGaAs論理集積回路の方が低いことが分かった。これは本実施例の方法で選定されたセルの方が外部負荷容量に対しより最適な駆動電流を持つからである。これより消費電力の最適化を効率良く行うことが可能になる。そして最適な駆動電流を持つセルが用いられているのでセルサイズも同時に最適化され、集積

密度の高いGaAs論理集積回路が得られた。

かくして本発明をGaAs論理集積回路の設計に適用することで、設計TAT、レイアウト面積、消費電力の改善が図れる。

第3図には本発明が適用された階層的レイアウト設計方法により設計されたGaAs論理集積回路のチップ模式図が示されている。

論理ブロック41の周辺部には駆動電流及びセルサイズが大きいセルが、中央部には駆動電流及びセルサイズが小さいセルが比較的多く集まっているレイアウトになっており、従来に比べて、論理ブロック41間を接続する信号配線42の長さを短くできる。その結果、論理ブロック41間の負荷容量の増大を抑制できるのでタイミングマージンを大きく取れる。更に、ボンディングパッド43と論理ブロック41とを接続する信号配線44の配線長も短くなっている。このように本発明を階層的レイアウト設計方法に適用することにより最適化された配置配線レイアウトが得られる。

なお、この実施例ではGaAsLSIについて

述べたが、この他のSiLSIについても全く同様に設計することができる。

〔発明の効果〕

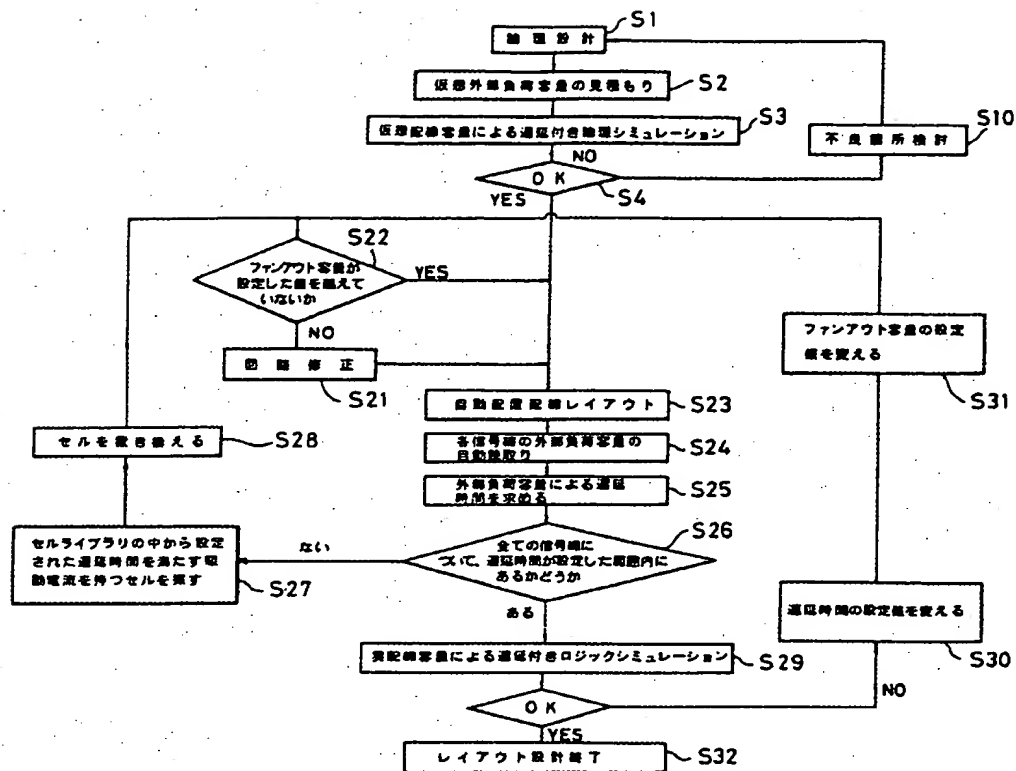
以上述べたように本発明によれば、各信号線の遅延時間を全て所定範囲に収めた後に、実配線容量を用いた遅延付き論理シミュレーションにより設計検証を行うので時間のかかる設計修正を行う率が低くなるので設計TATの大幅な短縮を図ることができる。また本発明では遅延時間が所定範囲に収まらない信号線が検出された場合に不良箇所セルを最適な駆動能力を持つセルに置き換えるので設計修正が容易に行われる。

4. 図面の簡単な説明

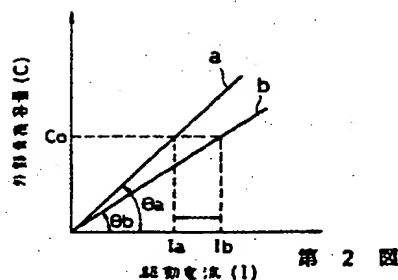
第1図は本発明の一実施例に係る半導体集積回路の自動設計方法に関するフローチャートを示す図、第2図は外部負荷の容量と駆動電流との関係を示す図、第3図は本発明が適用された階層的レイアウト設計方法により設計されたGaAs論理集積回路のチップ模式図、第4図は従来例の自動設計方法に関するフローチャートを示す図である。

S21…論理修正、S22…ファンアウト容量の判断、S23…自動配線レイアウト、S24…外部負荷容量の自動統取り、S25…遅延時間の算出、S26…各信号線の遅延時間の可否判定、S27…セルの選定、S28…セルの置き換え、S29…論理シミュレーション、S30…遅延時間の設定、S31…ファンアウト容量の設定、S32…レイアウト設計終了、41…論理ブロック、42、44…信号配線、43…ボンディングパッド。

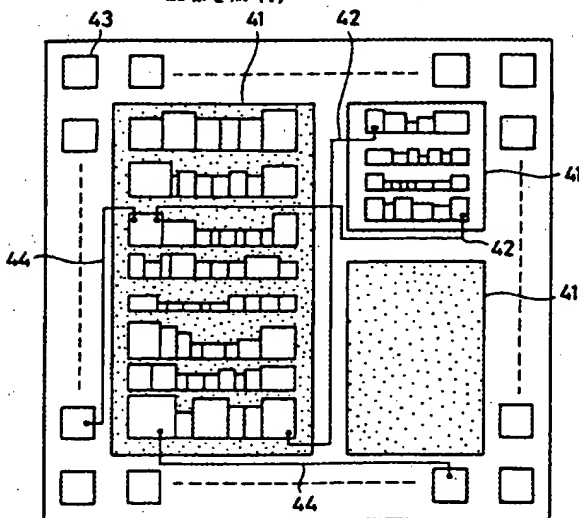
出願人代理人 弁理士 鈴 江 武 彦



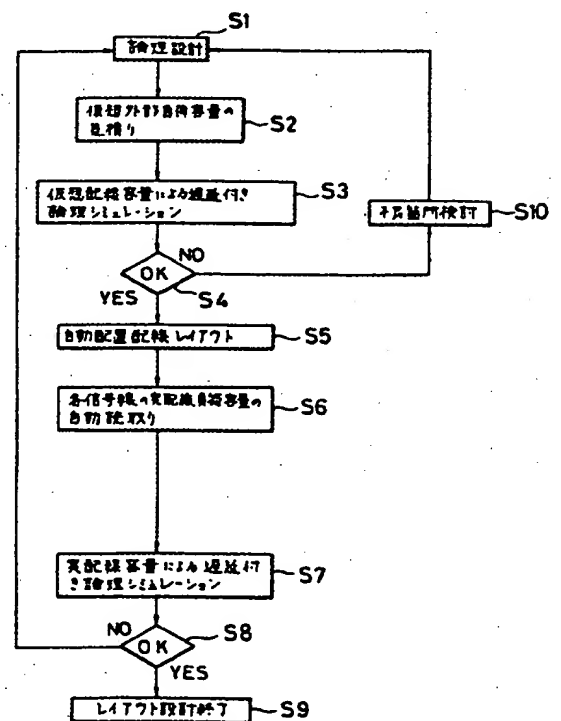
第 1 図



第 2 図



第 3 図



第 4 図